

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

3 / Priority
Doc.
E. Millio
5-18-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Ki-Whan SONG :
Serial No.: [NEW] : Attn: Applications Branch
Filed: March 20, 2001 : Attorney Docket No.: SEC.807
For: BALL GRID ARRAY PACKAGE SEMICONDUCTOR DEVICE HAVING
IMPROVED POWER LINE ROUTING



CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

Appln. No. 2000-31666 filed June 9, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, LLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: March 20, 2001

JC821 U.S. PRO
09/811666



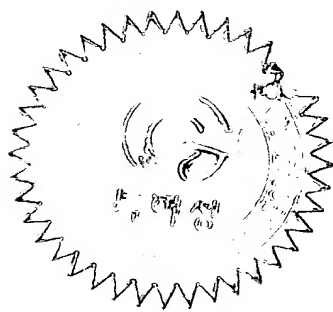
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 31666 호
Application Number

출원 년 월 일 : 2000년 06월 09일
Date of Application

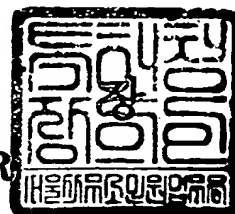
출원인 : 삼성전자 주식회사
Applicant(s)



2000 08 21
 년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2000.06.09
【국제특허분류】	G11C
【발명의 명칭】	전원 배선을 개선한 볼그리드 어레이 패키지 반도체 장치
【발명의 영문명칭】	Ball grid array package semiconductor device having improved power line routing
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	송기환
【성명의 영문표기】	SONG,Ki Whan
【주민등록번호】	700704-1482432
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산24번지
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

【수수료】

【기본출원료】 19 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 458,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

전원 배선을 개선한 볼그리드 어레이 패키지 반도체 장치가 개시된다. 본 발명에 따른 볼 그리드 어레이 패키지 반도체 장치는 반도체 칩, 기판, 접착 수단 및 다수의 볼들을 구비한다. 반도체 칩은 중앙부에 패드를 갖는다. 기판은 중앙부에 소정 크기의 슬롯이 있고, 한 면에 신호 배선 패턴 및 다수의 볼 장착부가 형성되는 신호 배선면을 구비하며, 다른 한 면에 반도체 칩이 마운트된다. 접착 수단은 반도체 칩을 기판 위에 고정하기 위한 수단으로, 반도체 칩과 기판 사이에 삽입된다. 다수의 볼들은 볼 장착부에 각각 장착되어 외부 회로에 연결된다. 신호 배선면은 제1 및 제2 신호 배선면을 포함한 적어도 두 개의 신호 배선면으로 구분된다. 그리고, 제1 전원을 위한 배선들은 제1 신호 배선면에만 형성되고, 서로 결합되어, 전기적으로 단일 노드를 구성한다. 제2 전원을 위한 배선들은 제2 신호 배선면에만 형성되고, 서로 결합되어, 전기적으로 단일 노드를 구성한다. 본 발명의 볼 그리드 어레이 패키지 반도체 장치에 의하여, 반도체 장치의 패키지 상의 전원 배선에서 발생하는 인덕턴스의 크기를 크게 감소시킬 수 있다. 따라서, 반도체 장치의 전원 특성 및 신뢰성이 향상된다.

【대표도】

도 2a

【명세서】**【발명의 명칭】**

전원 배선을 개선한 볼그리드 어레이 패키지 반도체 장치{Ball grid array package semiconductor device having improved power line routing}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 볼그리드 어레이 패키지 반도체 장치를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 볼그리드 어레이 패키지 반도체 장치를 나타내는 도면이다.

도 3은 도 2의 BGA 패키지 반도체 장치에서, 제1 및 제2 신호 배선면으로 이루어진 신호 배선면을 보여주는 도면이다.

도 4는 본 발명의 다른 일 실시예에 따른 볼그리드 어레이 패키지 반도체 장치를 나타내는 평면도이다.

도 5는 P형 기판을 갖는 트윈-웰(twin-well) 구조의 한 예를 보여주는 단면도이다.

도 6은 P형 기판을 갖는 트리플-웰(triple-well) 구조의 한 예를 보여주는 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 장치에 관한 것으로서, 특히 외부와의 인터페이스를 위해 볼(ball) 형태의 접촉부를 갖는 볼 그리드 어레이(BGA, Ball Grid Array) 패키지 반도체 장치에 관한 것이다.
- <8> 전자기기가 점차 소형 경박화 됨에 따라, 전자기기를 구성하는 반도체 장치의 크기 역시 점차 소형 경박화되는 추세이다. 따라서 반도체 패키지의 발전 방향도 기존의 DIP(Dual In line Package), SOJ(Small Outline with J-lead), QFP(Quad Flat Package) 형태 등에서, BGA, CSP(Chip Scale Package)로 변화되고 있다. 이렇게 진보된 BGA, CSP 패키지에서는 가급적 반도체 패키지의 크기를 소형화시키기 위해, 기존에 사용하던 리드(lead) 대신 볼(ball)을 사용하고 패키지의 크기를 칩(chip) 정도의 크기까지 줄이기 위해 끊임없는 연구 개발이 진행되고 있다.
- <9> 특히, 리드 대신에 볼을 사용하는 BGA 패키지는 램버스 디램(Rambus DRAM) 등 사용 범위가 급속히 확산되고 있다. BGA 패키지는 기판상에 형성된 소정의 신호 회로 패턴을 통하여 반도체의 패드와 볼간을 연결한다. 신호 회로 패턴은 기존의 SOJ 패키지에서 사용되는 본딩 와이어(bonding wire)와는 달리, 다수 개의 신호선 혹은 전원선이 결합될 수 있는 장점이 있다.
- <10> 종래의 BGA 패키지 형태의 CSP 반도체 장치의 일종이 국내 등록특허번호 제 10-0248792 및 미국 특허 번호 제5,920,118에 개시되어 있다.

<11> 도 1은 상기의 특허에 기술되어 있는 BGA 패키지 반도체 장치를 나타내는 도면으로서, 도 1A는 평면도이고, 도 1B는 단면도이다. 이를 참조하면, 종래 기술에 의한 볼그리드 어레이 패키지 반도체 장치는 기판(110), 중심에 패드(122)를 갖는 반도체 칩(120), 반도체 칩과 기판 사이의 접착 수단(140) 및 외부 회로와의 연결을 위한 볼(150)을 구비한다. 기판(110)의 일면에는 볼(150)이 장착되는 볼 장착부(116)가 있고, 볼 장착부(116)는 소정의 신호회로 패턴(114) 및 와이어(130)에 의해 반도체 칩(120)의 패드(122)에 연결된다.

<12> 그런데, 2개 이상의 외부 전원을 공급받는 기존의 BGA 패키지 반도체 장치에서, 외부 전원의 연결시, 최소 2개 이상의 전원을 분리하여 연결하므로 동일 전원선간의 결합에 한계가 있다. 따라서, 도 2에서 도시된 바처럼, 각각의 분리된 전원선이 발생한다. 분리된 전원선은 폭이 좁으므로 전원선의 인덕턴스가 증가한다. 따라서, 스위칭 잡음이 크며, 공급되는 전원의 신뢰성에 문제가 있을 수 있다. 공급되는 전원이 안정화되지 못하면, 반도체 장치의 오동작이 유발될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적 과제는 패키지상에서 서로 다른 전원의 배선을 분리시키고, 동일 전원선은 최대한 결합시킴으로써, 인덕턴스의 크기를 줄이고 안정적인 전원을 공급하는 볼 그리드 어레이 패키지 반도체 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<14> 상기 기술적 과제를 이루기 위한 본 발명의 일면은 제1 전원 및 제2 전원을 포함하여, 적어도 두 개의 외부 전원들을 공급받는 볼 그리드 어레이 패키지 반도체 장치에 관

한 것이다. 본 발명의 바람직한 실시예에 따른 볼 그리드 어레이 패키지 반도체 장치는 중앙부에 패드를 갖는 반도체 칩; 중앙부에 소정 크기의 슬롯이 있고, 한 면에 신호 배선 패턴 및 다수의 볼 장착부가 형성되는 신호 배선면을 구비하며, 다른 한 면에 상기 반도체 칩이 마운트되는 기판; 상기 반도체 칩을 상기 기판 위에 고정하기 위하여 상기 반도체 칩과 상기 기판 사이에 삽입되는 접착 수단; 및 상기 다수의 볼 장착부에 각각 장착되어 외부 회로에 연결되는 다수의 볼들을 구비한다. 상기 신호 배선면은 제1 및 제2 신호 배선면을 포함한 적어도 두 개의 신호 배선면으로 구분된다. 그리고, 상기 제1 전원을 위한 배선들은 상기 제1 신호 배선면에만 형성되고, 상기 제2 전원을 위한 배선들은 상기 제2 신호 배선면에만 형성된다.

<15> 바람직하기로는, 상기 제1 전원을 위한 배선들은 상기 제1 신호 배선면에서 서로 결합되어, 전기적으로 단일 노드를 구성하는 하나의 면을 형성한다. 그리고, 상기 제2 전원을 위한 배선들은 상기 제2 신호 배선면에서 서로 결합되어, 전기적으로 단일 노드를 구성하는 다른 하나의 면을 형성한다.

<16> 상기 기술적 과제를 이루기 위한 본 발명의 또 다른 일면은 적어도 두 개의 외부 전원들을 공급받는 볼 그리드 어레이 패키지 반도체 장치에 관한 것이다. 본 발명의 바람직한 실시예에 따른 볼 그리드 어레이 패키지 반도체 장치는 중앙부에 패드를 갖는 반도체 칩; 중앙부에 소정 크기의 슬롯이 있고, 한 면에 신호 배선 패턴 및 다수의 볼 장착부가 형성되는 신호 배선면을 구비하며, 다른 한 면에 상기 반도체 칩이 마운트되는 기판; 상기 반도체 칩을 상기 기판 위에 고정하기 위하여 상기 반도체 칩과 상기 기판 사이에 삽입되는 접착 수단; 및 상기 다수의 볼 장착부에 각각 장착되어 외부 회로에 연결되는 다수의 볼들을 구비한다. 상기 신호 배

선면은 복수 개의 신호 배선면으로 구분된다. 그리고, 상기 외부 전원들 중에서 선택된 적어도 어느 하나의 외부 전원을 위한 배선들은 대응되는 신호 배선면에만 형성된다.

<17> 바람직하기로는, 상기 외부 전원들 중에서 선택된 적어도 어느 하나의 외부 전원을 위한 배선들은 상기 대응되는 신호 배선면에서 서로 결합되어, 전기적으로 단일 노드를 구성하는 각각의 면을 형성한다.

<18> 본 발명의 볼 그리드 어레이 패키지 반도체 장치에 의하여, 반도체 장치의 패키지 상의 전원 배선에서 발생하는 인덕턴스의 크기를 크게 감소시킬 수 있다. 따라서, 반도체 장치의 전원 특성 및 신뢰성이 향상된다.

<19> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 본 명세서에서는, 설명의 편의상, 각 도면을 통하여 동일한 역할을 수행하는 신호와 구성 요소는 동일한 참조 부호 및 참조 번호로 나타낸다.

<21> 도 2는 본 발명의 일 실시예에 따른 BGA 패키지 반도체 장치를 나타내는 도면으로서, 도 2A는 평면도이고, 도 2B는 단면도이다. 이를 참조하면, 바람직한 실시예에 따른 BGA 패키지 반도체 장치는 반도체 칩(220), 기판(210), 접착 수단(230) 및 다수의 볼들(250)을 구비한다. 그리고, 본 실시예의 BGA 패키지 반도체 장치는 서로 다른 전압을 가지는 두 개 이상의 외부 전원을 공급받는다.

<22> 반도체 칩(220)은 중앙부에 패드(222)를 가진다. 반도체 칩(220)은 패드(222)를 통

하여 반도체 칩(220)의 외부와 인터페이스한다.

<23> 기판(210)은 반도체 칩(220)을 지지하는 역할을 한다. 즉, 기판(210) 위에 반도체 칩(220)이 마운트된다. 따라서, 반도체 칩(220)을 기판(210)에 고정시키기 위한 접촉 수단(230)이 기판(210)과 반도체 칩(220) 사이에 들어간다. 그리고, 기판(210)은 소정의 신호 배선 패턴(214) 및 볼(250)을 통하여 반도체 칩(220)을 반도체 장치의 외부와 연결시키는 역할을 한다. 이를 위해, 접촉 수단(230)과 접촉하지 않는 기판(210)의 다른 면에는 신호 배선면이 형성된다. 즉, 기판(210)의 상면으로는 반도체 칩(220)이 마운트되고, 기판(210)의 하면에는 신호 배선면이 형성된다. 신호 배선면에는 다수의 볼 장착부(216) 및 신호 배선 패턴(214)이 형성된다. 볼 장착부(216)에는 볼(250)이 각각 장착되어 외부 회로와 연결된다.

<24> 기판(210)은 중앙부에 소정 크기의 슬롯(212)을 가진다. 슬롯(212)은 소정 크기의 뚫린 공간이다. 슬롯(212)을 통해 신호 배선 패턴(214)이 반도체 칩(220)의 패드(222)와 연결된다.

<25> 궁극적으로, 반도체 칩(220)은 패드(222), 신호 배선 패턴(214) 및 볼(250)을 통하여 외부와 인터페이스한다.

<26> 신호 배선면은 2개 이상의 신호 배선면으로 구분된다. 기판(210)의 중앙에 직렬의 슬롯(212)이 있으므로, 슬롯(212)을 중심으로 양쪽으로 신호 배선면을 구분하는 것이 바람직하다. 본 실시예에서는 2개의 신호 배선면을 가지는 것으로 한다. 그리고, 설명의 편의상 각각의 신호 배선면을 제1 및 제2 신호 배선면(217, 218)으로 지칭한다.

<27> 도 3은 도 2의 BGA 패키지 반도체 장치에서, 제1 및 제2 신호 배선면(217, 218)으

로 구분된 기판(210)의 신호 배선면을 보여주는 도면이다.

<28> 외부 전원중에서 선택된 하나의 전원(이하 제1 전원이라 함)은 제1 신호 배선면(217)을 통해서만 연결된다. 즉, 제1 전원은 제1 신호 배선면(217)에 형성되는 신호 배선 패턴을 통해서만 공급된다. 따라서, 제1 전원을 위한 배선들이 제1 신호 배선면(217)에서 용이하게 결합될 수 있다. 그러므로, 도 2A에서 도시된 것처럼, 제1 전원의 배선들이 결합되어 제1 전원면(262)를 형성한다. 제1 전원면(262)은 전기적으로 단일 노드(node)를 구성한다.

<29> 외부 전원중에서 선택된 다른 하나의 전원(이하 제2 전원이라 함)은 제2 신호 배선면(218)에 형성되는 신호 배선 패턴을 통해서만 공급된다. 따라서, 제2 전원을 위한 배선들은 제2 신호 배선면(218)에서 용이하게 결합될 수 있다. 그러므로, 제2 전원의 배선들이 결합되어 제2 전원면(264)를 형성한다. 제2 전원면(264)은 전기적으로 단일 노드를 구성한다.

<30> 따라서, 슬롯(212)을 중심으로 서로 다른 전압을 가지는 제1 및 제2 전원의 공급은 분리된다. 그러므로, 제1 및 제2 전원선을 배선하는데 있어서, 각각을 분리해야 하는 부담을 크게 줄일 수 있다. 그리고, 분리된 제1 및 제2 전원의 배선이 각각 결합됨으로 인하여, 배선평이 넓어지므로, 인덕턴스가 크게 감소된다.

<31> 결과적으로, 기존의 혼재된 전원 배선으로 인해 발생하는 인덕턴스의 증가 및 전원 특성의 불량을 개선할 수 있다.

<32> 바람직하기로는, 제1 전원은 양전압을 갖는 전원(VDD)이고, 제2 전원은 그라운드(GND)이다.

- <33> 도 2를 다시 참조하면, 도 2A는 제1 및 제2 신호 배선면(217, 218)에 각각 2열의 볼 장착부(216)가 배열된 구조를 보여준다. 제1 신호 배선면(217)에서 바깥 쪽의 볼 장착부(216)에 장착되는 볼들은 모두 제1 전원(VDD)에 연결된다. 그리고, 제2 신호 배선면에서(218)의 바깥 쪽의 볼 장착부(216)에 장착되는 볼들은 모두 그라운드(GND)에 연결된다. 나머지 볼 장착부(216)에 장착되는 볼들을 통해서는 전원 외의 다른 신호들이 입출력된다. 또한 제1 및 제2 전원(VDD, GND) 이외의 다른 전원이 연결될 수도 있다.
- <34> BGA 패키지 반도체 장치의 반도체 칩이 P형 기판을 갖는 트리플-웰(triple-well) 구조 또는 트윈-웰(twin-well) 구조를 포함할 때, 전술한 제1 전원(VDD)은 엔웰(n-well)에 인가될 수 있다. 그리고, 제2 전원(GND)은 BGA 패키지 반도체 장치의 반도체 칩이 P형 기판을 갖는 트리플-웰(triple-well) 구조 또는 트윈-웰(twin-well) 구조를 포함할 때, P형 기판(p-substrate) 또는 포켓 피웰(pocket p-well)에 인가될 수 있다.
- <35> 도 5 및 도 6은 각각 P형 기판을 갖는 트윈-웰(twin-well) 구조와 트리플-웰(triple-well) 구조의 한 예를 보여주는 단면도이다. 도 5의 트윈-웰 구조는 P형 기판에 n형 불순물을 주입하여 엔웰을 형성하고, 엔웰 영역에 드레인 및 소스가 형성되는 구조이다. 도 6의 트리플-웰 구조는 P형 기판에 사각형 도우넛 형태의 엔웰이 형성되고, 소정의 깊이엔 엔웰층(deep n-well)이 형성됨으로써, 사각형 도우넛 형태의 엔웰과 아래쪽의 엔웰층에 의해 포켓 피웰이 형성되는 구조이다.
- <36> 본 실시예에서는, 외부로부터 공급되는 2개 이상의 전원들 중에서 2개를 선택하여 슬롯을 중심으로 분리한다. 그러나, 다양한 변형이 있을 수 있다. 즉, 신호 배선면을 복수 개의 신호 배선면으로 구분하고, 2개 이상의 외부 전원들 중에서 적어도 어느 하나의 외부 전원을 위한 배선들은, 대응되는 신호 배선면에만 형성될 수 있다. 대응되는 신호

배선면이란, 외부 전원 외의 신호를 위한 배선과 선택된 어느 하나의 외부 전원을 위한 배선만 형성되는 신호 배선면을 말한다. 선택된 외부 전원에 각각 대응되는 신호 배선면 외의 나머지 신호 배선면에는 선택되지 않은 나머지 외부 전원들을 위한 배선들이 혼재할 수 있다.

<37> 도 4는 본 발명의 다른 일 실시예에 따른 BGA 패키지 반도체 장치를 나타내는 평면도이다. 본 실시예에서는, 외부 전원들 중에서 하나만을 선택하여, 한 쪽의 신호 배선면으로 분리하고, 다른 신호 배선면에는 나머지 외부 전원이 혼재하는 경우를 보여준다.

<38> 도 4의 BGA 패키지 반도체 장치의 구성은 도 3의 BGA 패키지 반도체 장치의 구성과 동일하다. 따라서, 여기서는 각 구성요소에 대한 설명은 생략한다.

<39> 도 4의 실시예에서는, 외부 전원들 중에서 하나의 전원만 선택된다. 선택된 하나의 전원을 제1 전원이라 하면, 도 2의 실시예에서 처럼, 제1 전원은 제1 신호 배선면(217)을 통해서만 연결된다. 그리고, 제2 신호 배선면(218)에서는 제1 전원을 제외한 나머지 외부 전원들이 모두 배선되어 공급될 수 있다. 제1 전원은 양전압을 갖는 전원(VDD)일 수도 있고, 그라운드(GND)일 수도 있다.

<40> 그러므로, 전원 공급을 위한 배선을 하는데 있어서, 인덕턴스 및 신뢰도 등에 있어서 가장 문제가 되는 하나의 외부 전원을 선택하고, 해당 외부 전원을 나머지 외부 전원과 분리하여 공급함으로써, 전원 공급의 신뢰성을 향상시킬 수 있다.

<41> 제1 전원이 양전압을 갖는 전원(VDD)이면, BGA 패키지 반도체 장치의 반도체 칩이 P형 기판을 갖는 트리플-웰(triple-well) 구조 또는 트윈-웰(twin-well) 구조를 포함할 때, 엔웰(n-well)에 인가될 수 있다.

<42> 제1 전원이 그라운드(GND)이면, BGA 패키지 반도체 장치의 반도체 칩이 P형 기판을 갖는 트리플-웰(triple-well) 구조 또는 트윈-웰(twin-well) 구조를 포함할 때, P형 기판(p-substrate) 또는 포켓 피웰(pocket p-well)에 인가될 수 있다.

<43> 상기 실시예들의 BGA 패키지 반도체 장치는 패키지의 크기를 줄이기 위하여, 칩 크기 패키지(CSP)로 제작되는 것이 바람직하다. 칩 크기 패키지란 패키지의 크기가 반도체 칩의 크기와 거의 동일하거나 최대 20%를 초과하지 않는 반도체 패키지를 말한다.

<44> 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<45> 본 발명의 볼 그리드 어레이 패키지 반도체 장치에 의하여, 반도체 장치의 패키지 상의 전원 배선에서 발생하는 인덕턴스의 크기를 크게 감소시킬 수 있다. 또한, 전원 배선이 용이하다. 따라서, 반도체 장치의 전원 특성 및 신뢰성이 크게 향상된다.

【특허청구범위】**【청구항 1】**

제1 전원 및 제2 전원을 포함하여, 적어도 두 개의 외부 전원들을 공급받는 볼 그리드 어레이 패키지 반도체 장치에 있어서,

중앙부에 패드를 갖는 반도체 칩;

중앙부에 소정 크기의 슬롯이 있고, 한 면에 신호 배선 패턴 및 다수의 볼 장착부가 형성되는 신호 배선면을 구비하며, 다른 한 면에 상기 반도체 칩이 마운트되는 기판;

상기 반도체 칩을 상기 기판 위에 고정하기 위하여 상기 반도체 칩과 상기 기판 사이에 삽입되는 접착 수단;

상기 다수의 볼 장착부에 각각 장착되어 외부 회로에 연결되는 다수의 볼들을 구비하며,

상기 신호 배선면은 제1 및 제2 신호 배선면을 포함한 적어도 두 개의 신호 배선면으로 구분되고,

상기 제1 전원을 위한 배선들은 상기 제1 신호 배선면에만 형성되고, 상기 제2 전원을 위한 배선들은 상기 제2 신호 배선면에만 형성되는 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 2】

제1 항에 있어서,

상기 제1 전원을 위한 배선들은 상기 제1 신호 배선면에서 서로 결합되어, 전기적으로 단일 노드를 구성하는 하나의 면을 형성하고,

상기 제2 전원을 위한 배선들은 상기 제2 신호 배선면에서 서로 결합되어, 전기적으로 단일 노드를 구성하는 다른 하나의 면을 형성하는 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 3】

제1 항에 있어서, 상기 볼 그리드 어레이 패키지 반도체 장치는

칩 크기 패키지(chip-size package) 반도체 장치인 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 4】

제1 항에 있어서,

상기 제1 전원은 양전압을 가지며,

상기 제2 전원은 그라운드인 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 5】

제4 항에 있어서,

상기 반도체 칩은 P형 기판을 갖는 트리플-웰 구조를 포함하며,

상기 제1 전원은 상기 반도체 칩의 엔웰에 인가되고,

상기 제2 전원은 상기 반도체 칩의 P형 기판 및 포켓 피웰에 인가되는 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 6】

제4 항에 있어서,

상기 반도체 칩은 P형 기판을 갖는 트리플-웰 구조를 포함하며,
상기 제1 전원은 상기 반도체 칩의 엔웰에 인가되고,
상기 제2 전원은 상기 반도체 칩의 P형 기판 및 포켓 피웰 중의 어느 하나에 인가되는 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 7】

제4 항에 있어서,
상기 반도체 칩은 트윈-웰 구조를 포함하며,
상기 제1 전원은 상기 반도체 칩의 엔웰에 인가되고,
상기 제2 전원은 상기 반도체 칩의 P형 기판에 인가되는 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 8】

적어도 두 개의 외부 전원들을 공급받는 볼 그리드 어레이 패키지 반도체 장치에 있어서,
중앙부에 패드를 갖는 반도체 칩;
중앙부에 소정 크기의 슬롯이 있고, 한 면에 신호 배선 패턴 및 다수의 볼 장착부가 형성되는 신호 배선면을 구비하며, 다른 한 면에 상기 반도체 칩이 마운트되는 기판;
상기 반도체 칩을 상기 기판 위에 고정하기 위하여 상기 반도체 칩과 상기 기판 사이에 삽입되는 접착 수단; 및
상기 다수의 볼 장착부에 각각 장착되어 외부 회로에 연결되는 다수의 볼들을 구비하며,

상기 신호 배선면은 복수 개의 신호 배선면으로 구분되고,

상기 외부 전원들 중에서 선택된 적어도 어느 하나의 외부 전원을 위한 배선들은 대응되는 신호 배선면에만 형성되는 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【청구항 9】

제8 항에 있어서,

상기 외부 전원들 중에서 선택된 적어도 어느 하나의 외부 전원을 위한 배선들은 상기 대응되는 신호 배선면에서 서로 결합되어, 전기적으로 단일 노드를 구성하는 각각의 면을 형성하는 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

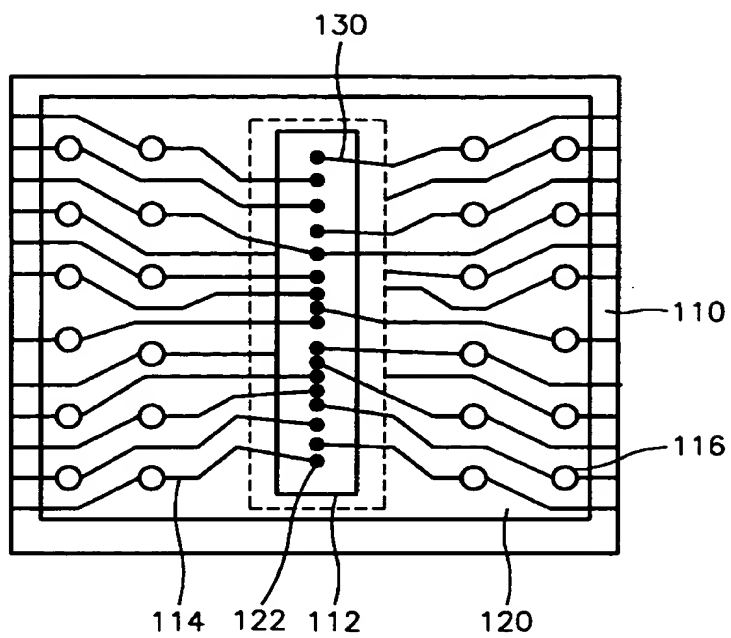
【청구항 10】

제8 항에 있어서, 상기 볼 그리드 어레이 패키지 반도체 장치는

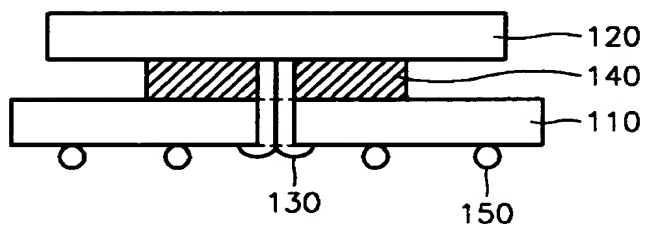
칩 크기 패키지(chip-size package) 반도체 장치인 것을 특징으로 하는 볼 그리드 어레이 패키지 반도체 장치.

【도면】

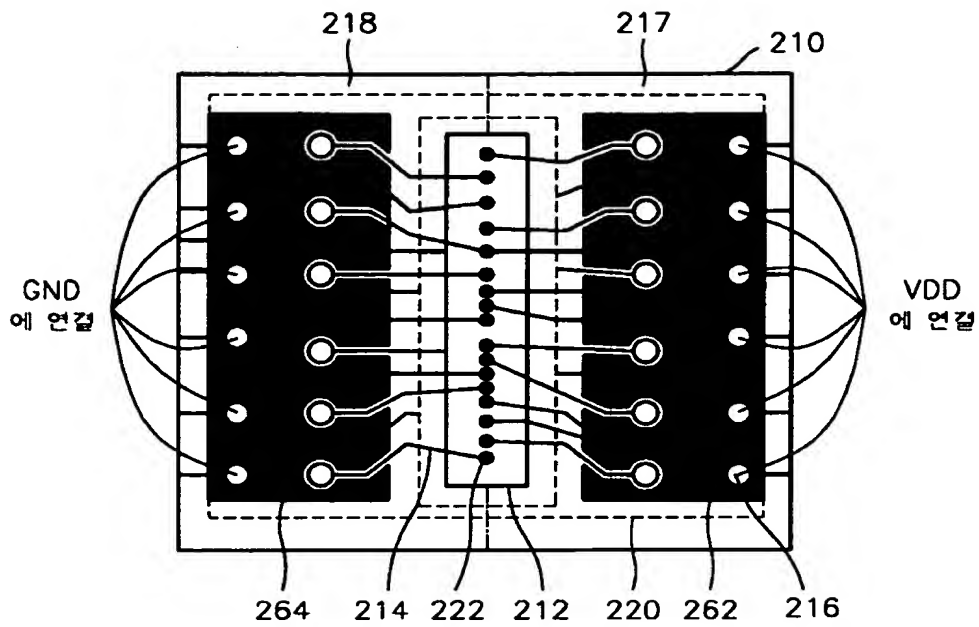
【도 1a】



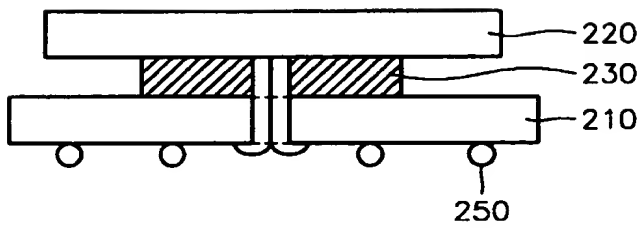
【도 1b】



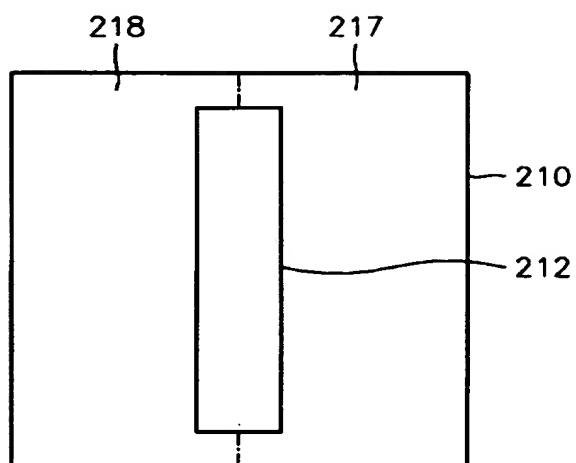
【도 2a】



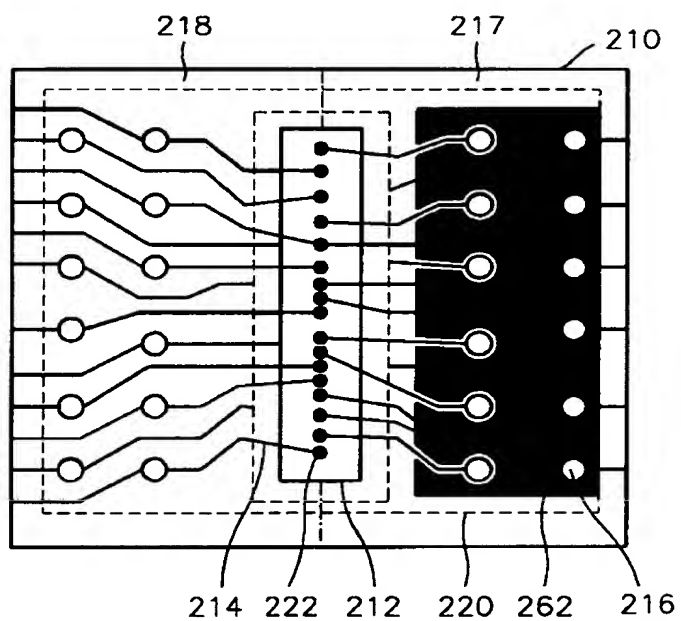
【도 2b】



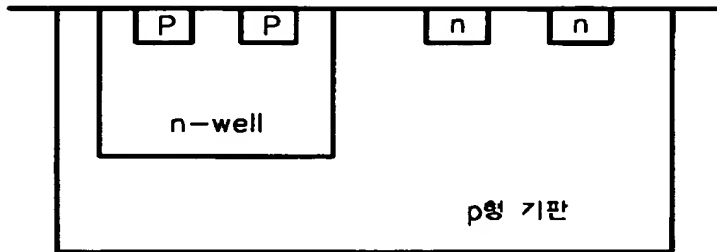
【도 3】



【도 4】



【도 5】



【도 6】

